ANALOG DEVICES

低価格、高速 レール to レール・アンプ

AD8051/AD8052/AD8054

特長

シングル（AD8051）、デュアル（AD8052）およびクワッド（AD8054）の低価格アンプ
電圧フィードバック構造
＋3 V、＋5 Vおよび±5 Vの電源で完全に仕様どおりの性能を提供
単電源動作
- 出力スイング：いずれのレールに対しても25 mV以内まで
- 入力電圧範囲：－0.2 Vから＋4 V；V_S＝＋5 V

＋5 Vで高速かつ迅速なセトリング：
- －3 dB帯域幅（半値幅）：110 MHz（G＝＋１）（AD8051/AD8052）
- －3 dB帯域幅（半値幅）：150 MHz（G＝＋１）（AD8054）
- スルー・レート：145 V/μs
- 0.1 %以内のセトリング時間：50 ns

小型パッケージ
- AD8051にはSOT-23-5を用意
- AD8052にはSOIC-8を用意
- AD8054にはTSSOP-14を用意

良好なビデオ仕様（G＝＋２）
- ゲイン平坦率：20 MHzに対して0.1 dB；RL＝150Ω
- 微分ゲイン・エラー：0.03 %；R_L＝1 K
- 微分位相・エラー：0.03度；R_L＝1 K

低歪み
- 1 MHz、R_L＝100Ωでの総合高調波ひずみ：－80 dBc

優れた負荷ドライブ性能
- 45 mA、電源レールから0.5 Vの電圧でドライブ（AD8051/AD8052）
- 50 pFの容量性負荷をドライブ（G＝＋１）（AD8051/AD8052）

低消費電力：アンプ１基当たり2.75 mA（AD8054）
低消費電力：アンプ１基当たり4.4 mA（AD8051/AD8052）

アプリケーション

同軸ケーブル・ドライバ
アクティブ・フィルタ
ビデオ・スイッチャ
A/Dドライバ
プロ用カメラ
CCD撮像システム
CD/DVD ROM

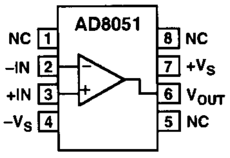
概要

AD8051（シングル）、AD8052（デュアル）およびAD8054（クワッド）は、＋3 V、＋5 Vおよび±5 Vの電源で動作するように設計された低価格の電圧フィードバック型高速アンプです。これらのアンプは、真の意味の単電源で動作し、負のレールを200 mV下回る入力電圧から、正の電圧の1 V以内に達する入力電圧までを受け入れることができます。

価格が低いにもかかわらず、AD8051/AD8052/AD8054は、卓越した全般性能と多用途性を提供します。出力電圧スイングは、それぞれのレールの25 mV以内で、優れたオーバードライブ・リカバリとともに最大の出力ダイナミック・レンジをもたらします。このことはAD8051/AD8052/AD8054の用途を、カメラ、ビデオ・スイッチャ、その他あらゆる高速ポータブル装置に広げます。また、低いひずみと迅速なセトリングが得られるこれらのデバイスは、アクティブ・フィルタにとっても理想的です。

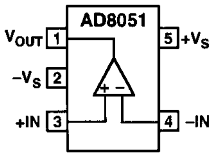
接続図
（上面図）

R-8

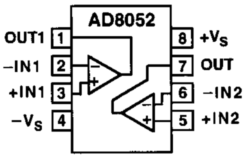


NC=接続なし

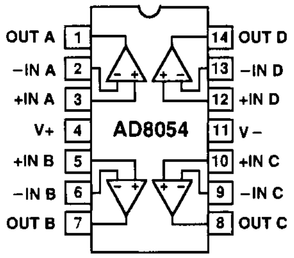
STO-23-5（RT）



R-8、microSOIC（RM）



R-14、TSSOP-14（RU-14）



AD8051/AD8052/AD8054は、電源電流が低く、＋3 Vの単電源でも動作します。これらの特長は、サイズと消費電力が決定的となるポータブル製品やバッテリ駆動製品には、なくてはならないものです。

＋5 Vの単電源で広い帯域幅と高速スルー・レートが得られることは、これらのアンプが、±6 Vまでのデュアル電源と＋3 Vから＋12 Vまでの単電源を必要とする汎用、高速製品のほとんどに貢献できることを意味します。

低価格で得られるこれらの性能のすべては、８ピンのSOICに加えて超小型のSOT-23-5パッケージ（AD8051）、マイクロSOICパッケージ（AD8052）そしてTSSOP-14（AD8054）で提供されます。

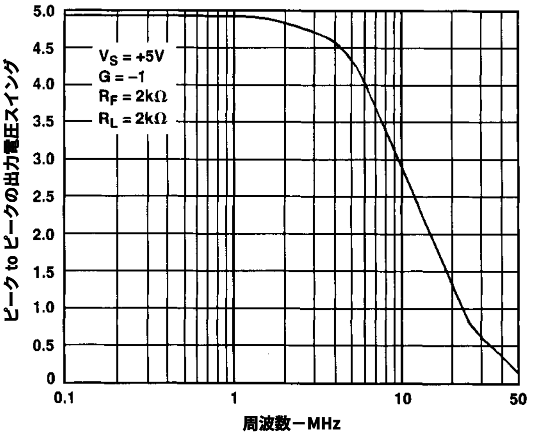


図1.　低歪みのレール to レール出力スイング

アナログ・デバイセズ社が提供する情報は正確で信頼できるものを期していますが、当社はその情報の利用、また利用したことにより引き起こされる第3者の特許または権利の侵害に関して一切の責任を負いません。さらにアナログ・デバイセズ社の特許または特許の権利の使用を許諾するものでもありません。

REV.0

アナログ・デバイセズ株式会社

本　　社／東京都港区海岸１－１６－１　電話03（5402）8200　〒105－6891
ニューピア竹芝サウスタワービル
大阪営業所／大阪市淀川区宮原３－５－３６　電話06（6350）6868㈹　〒532－0003
新大阪第２森ビル

AD8051/AD8052/AD8054—仕様

（特に指定のない限り、@T_A＝＋25℃、V_S＝＋5 V、R_Lを＋2.5 Vに対して2 kΩ）

パラメータ	条件	AD8051A/AD8052A			AD8054A			単位
		Min	Typ	Max	Min	Typ	Max	
動的性能								
－3 dB小信号帯域幅	G＝＋1、V_O＝0.2 Vp-p	70	110		80	150		MHz
	G＝－1、＋2、V_O＝0.2 Vp-p		50			60		MHz
平坦率0.1 dBの帯域幅	G＝＋2、V_O＝0.2 Vp-p							
	R_L＝150Ω（＋2.5 Vに対する）							
	R_F＝806Ω（AD8051A/AD8052A）		20					MHz
	R_F＝200Ω（AD8054A）					12		MHz
スルー・レート	G＝－1、V_O＝2 Vステップ	100	145		140	170		V/μs
フルパワー応答	G＝＋1、V_O＝2 Vp-p		35			45		MHz
0.1 %のセトリング時間	G＝－1、V_O＝2 Vステップ		50			40		ns
ノイズ／ひずみ性能								
総合高調波ひずみ[1]	f_C＝5 MHz、V_O＝2 Vp-p、G＝＋2		－67			－68		dB
入力電圧ノイズ	f＝10 kHz		16			16		nV/√Hz
入力電流ノイズ	f＝10 kHz		850			850		fA/√Hz
微分ゲイン・エラー（NTSC）	G＝＋2、R_L＝150Ω（＋2.5 Vに対する）		0.09			0.07		%
	R_L＝1 kΩ（＋2.5 Vに対する）		0.03			0.02		%
微分位相エラー（NTSC）	G＝＋2、RL＝150Ω（＋2.5 Vに対する）		0.19			0.26		度
	R_L＝1 kΩ（＋2.5 Vに対する）		0.03			0.05		度
クロストーク	f＝5 MHz、G＝＋2		－60			－60		dB
DC性能								
入力オフセット電圧			1.7	10		1.7	12	mV
	T_{MIN}～T_{MAX}			25			30	mV
オフセット・ドリフト			10			15		μV/℃
入力バイアス電流			1.4	2.5		2	4.5	μA
	T_{MIN}～T_{MAX}			3.25			4.5	μA
入力オフセット電流			0.1	0.75		0.2	1.2	μA
開ループ・ゲイン	R_L＝2 kΩ（＋2.5 Vに対する）	86	98		82	98		dB
	T_{MIN}～T_{MAX}		96			96		dB
	R_L＝150Ω（＋2.5 Vに対する）	76	82		74	82		dB
	T_{MIN}～T_{MAX}		78			78		dB
入力特性								
入力抵抗			290			300		kΩ
入力容量			1.4			1.5		pF
入力同相電圧範囲			－0.2～4			－0.2～4		V
同相電圧除去比	V_{CM}＝0 V～＋3.5 V	72	88		70	86		dB
出力特性								
出力電圧スイング	R_L＝10 kΩ（＋2.5 Vに対する）		0.015～4.985			0.03～4.975		V
	R_L＝2 kΩ（＋2.5 Vに対する）	0.1～4.9	0.025～4.975		0.125～4.875	0.05～4.95		V
	R_L＝150Ω（＋2.5 Vに対する）	0.3～4.625	0.2～4.8		0.55～4.4	0.25～4.65		V
出力電流	V_{OUT}＝0.5 V～＋4.5 V		45			30		mA
	T_{MIN}～T_{MAX}		45			30		mA
短絡電流	ソーシング		80			45		mA
	シンキング		130			85		mA
容量性負荷ドライブ	G＝＋1（AD8051/AD8052）		50					pF
	G＝＋2（AD8054）					40		pF
電源								
動作範囲		3		12	3		12	V
アンプ1基当たりの静止電流			4.4	5		2.75	3.275	mA
電源変動除去比	ΔV_S＝±1 V	70	80		68	80		dB
動作温度範囲		－40		＋85	－40		＋85	℃

注

[1] 図15を参照してください。

仕様は予告なく変更されることがあります。

(特に指定のない限り、T_A＝＋25℃、V_S＝＋3 V、R_Lを＋1.5 Vに対して2 kΩ)

パラメータ	条件	AD8051A/AD8052A Min	Typ	Max	AD8054A Min	Typ	Max	単位
動的性能								
－3 dB小信号帯域幅	G＝＋1、V_O＝0.2 Vp-p	70	110		80	135		MHz
	G＝－1、＋2、V_O＝0.2 Vp-p		50			65		MHz
平坦率0.1 dBの帯域幅	G＝＋2、V_O＝0.2 Vp-p							
	R_L＝150Ω (＋2.5 Vに対する)							
	R_F＝402Ω (AD8051A/AD8052A)		17					MHz
	R_F＝200Ω (AD8054A)					10		MHz
スルー・レート	G＝－1、V_O＝2 Vステップ	90	135		110	150		V/μs
フルパワー応答	G＝＋1、V_O＝1 Vp-p		65			85		MHz
0.1 %のセトリング時間	G＝－1、V_O＝2 Vステップ		55			55		ns
ノイズ／ひずみ性能								
総合高調波ひずみ[1]	f_C＝5 MHz、V_O＝2 Vp-p							
	G＝－1、R_L＝100Ω (＋1.5 Vに対する)		－47			－48		dB
入力電圧ノイズ	f＝10 kHz		16			16		nV/√Hz
入力電流ノイズ	f＝10 kHz		600			600		fA/√Hz
微分ゲイン・エラー (NTSC)	G＝＋2、V_{CM}＝＋1 V							
	R_L＝150Ω (＋1.5 Vに対する)		0.11			0.13		%
	R_L＝1 kΩ (＋1.5 Vに対する)		0.09			0.09		%
微分位相エラー (NTSC)	G＝＋2、V_{CM}＝＋1 V							
	R_L＝150Ω (＋1.5 Vに対する)		0.24			0.3		度
	R_L＝1 kΩ (＋1.5 Vに対する)		0.10			0.1		度
クロストーク	f＝5 MHz、G＝＋2		－60			－60		dB
DC性能								
入力オフセット電圧			1.6	10		1.6	12	mV
	T_{MIN} ～ T_{MAX}			25			30	mV
オフセット・ドリフト			10			15		μV/℃
入力バイアス電流			1.3	2.6		2	4.5	μA
	T_{MIN} ～ T_{MAX}			3.25			4.5	μA
入力オフセット電流			0.15	0.8		0.2	1.2	μA
開ループ・ゲイン	R_L＝2 kΩ	80	96		80	96		dB
	T_{MIN} ～ T_{MAX}		94			94		dB
	R_L＝150Ω	74	82		72	80		dB
	T_{MIN} ～ T_{MAX}		76			76		dB
入力特性								
入力抵抗			290			300		kΩ
入力容量			1.4			1.5		pF
入力同相電圧範囲			－0.2 ～ 2			－0.2 ～ 2		V
同相電圧除去比	V_{CM}＝0 V ～ ＋1.5 V	72	88		70	86		dB
出力特性								
出力電圧スイング	R_L＝10 kΩ (＋1.5 Vに対する)		0.01 ～ 2.99			0.025 ～ 2.98		V
	R_L＝2 kΩ (＋1.5 Vに対する)	0.075 ～ 2.9	0.02 ～ 2.98		0.1～2.9	0.35 ～ 2.965		V
	R_L＝150Ω (＋1.5 Vに対する)	0.2 ～ 2.75	0.125 ～ 2.875		0.35 ～ 2.55	0.15 ～ 2.75		V
出力電流	V_{OUT}＝0.5 V ～ ＋2.5 V		45			25		mA
	T_{MIN} ～ T_{MAX}		45			25		mA
短絡電流	ソーシング		60			30		mA
	シンキング		90			50		mA
容量性負荷ドライブ	G＝＋1(AD8051/AD8052)		45					pF
	G＝＋2(AD8054)					35		pF
電源								
動作範囲		3		12	3		12	V
アンプ1基当たりの静止電流			4.2	4.8		2.625	3.125	mA
電源変動除去比	ΔV_S＝＋0.5 V	68	80		68	80		dB
動作温度範囲		－40		＋85	－40		＋85	℃

注

[1] 図15を参照してください。

仕様は予告なく変更されることがあります。

AD8051/AD8052/AD8054 — 仕様

（特に指定のない限り、T_A＝＋25℃、V_S＝±5 V、R_Lをグラウンドに対して2 kΩ）

パラメータ	条件	AD8051A/AD8052A Min	Typ	Max	AD8054A Min	Typ	Max	単位
動的性能								
−3 dB小信号帯域幅	G＝＋1、V_O＝0.2 Vp-p	70	110		85	160		MHz
	G＝−1、＋2、V_O＝0.2 Vp-p		50			65		MHz
平坦率0.1 dBの帯域幅	G＝＋2、V_O＝0.2 Vp-p							
	R_L＝150Ω							
	R_F＝1.1 kΩ（AD8051A/AD8052A）		20					MHz
	R_F＝200Ω（AD8054A）					15		MHz
スルー・レート	G＝−1、V_O＝2 Vステップ	105	170		150	190		V/μs
フルパワー応答	G＝＋1、V_O＝2 Vp-p		40			50		MHz
0.1 %のセトリング時間	G＝−1、V_O＝2 Vステップ		50			40		ns
ノイズ／ひずみ性能								
総合高調波ひずみ	f_C＝5 MHz、V_O＝2 Vp-p、G＝＋2		−71			−72		dB
入力電圧ノイズ	f＝10 kHz		16			16		nV/√Hz
入力電流ノイズ	f＝10 kHz		900			900		fA/√Hz
微分ゲイン・エラー（NTSC）	G＝＋2、R_L＝150Ω		0.02			0.06		%
	R_L＝1 kΩ		0.02			0.02		%
微分位相エラー（NTSC）	G＝＋2、R_L＝150Ω		0.11			0.15		度
	R_L＝1 kΩ		0.02			0.03		度
クロストーク	f＝5 MHz、G＝＋2		−60			−60		dB
DC性能								
入力オフセット電圧			1.8	11		1.8	13	mV
	T_{MIN} ～ T_{MAX}			27			32	mV
オフセット・ドリフト			10			15		μV/℃
入力バイアス電流			1.4	2.6		2	4.5	μA
	T_{MIN} ～ T_{MAX}			3.5			4.5	μA
入力オフセット電流			0.1	0.75		0.2	1.2	μA
開ループ・ゲイン	R_L＝2 kΩ	88	96		84	96		dB
	T_{MIN} ～ T_{MAX}		96			96		dB
	R_L＝150Ω	78	82		76	82		dB
	T_{MIN} ～ T_{MAX}		80			80		dB
入力特性								
入力抵抗			290			300		kΩ
入力容量			1.4			1.5		pF
入力同相電圧範囲			−5.2 ～ 4			−5.2 ～ 4		V
同相電圧除去比	V_{CM}＝−5 V ～ ＋3.5 V	72	88		70	86		dB
出力特性								
出力電圧スイング	R_L＝10 kΩ		−4.98 ～ ＋4.98			−4.97 ～ ＋4.97		V
	R_L＝2 kΩ	−4.85 ～ ＋4.85	−4.97 ～ ＋4.97		−4.8 ～ ＋4.8	−4.9 ～ ＋4.9		V
	R_L＝150Ω	−4.45 ～ ＋4.3	−4.6 ～ ＋4.6		−4.0 ～ ＋3.8	−4.5 ～ ＋4.5		V
出力電流	V_{OUT}＝−4.5 V ～ ＋4.5 V		45			30		mA
	T_{MIN} ～ T_{MAX}		45			30		mA
短絡電流	ソーシング		100			60		mA
	シンキング		160			100		mA
容量性負荷ドライブ	G＝＋1（AD8051/AD8052）		50					pF
	G＝＋2（AD8054）					40		pF
電源								
動作範囲		3		12	3		12	V
アンプ1基当たりの静止電流			4.8	5.5		2.875	3.4	mA
電源変動除去比	ΔV_S＝±1 V	68	80		68	80		dB
動作温度範囲		−40		＋85	−40		＋85	℃

仕様は予告なく変更されることがあります。

絶対最大定格[1]

電源電圧	12.6 V
内部消費電力[2]	
スモール・アウトライン・パッケージ（R）	電力ディレーティング曲線参照
SOT-23-5パッケージ	電力ディレーティング曲線参照
マイクロSOICパッケージ	電力ディレーティング曲線参照
TSSOP-14パッケージ	電力ディレーティング曲線参照
入力電圧（同相）	±VS
差分入力電圧	±2.5 V
出力短絡持続時間	電力ディレーティング曲線参照
保管温度範囲R	−65℃ ～ ＋125℃
動作温度範囲（Aグレード）	−40℃ ～ ＋85℃
リード温度範囲（ハンダ付け10秒）	＋300℃

注

1 上記の絶対最大定格を超えるストレスは、デバイスに恒久的なダメージを与えることがあります。このリストはストレス定格を示すことだけを目的とし、これらの条件もしくは本仕様書の動作に関するセクションに示した以外の条件におけるこのデバイスの機能的な動作を意味するものではありません。長時間にわたって絶対最大定格条件で使用すると、デバイスの信頼性に影響が現れることがあります。

2 仕様は、自由大気内におけるデバイスに対するものです。
8ピンSOIC：θ_{JA}=160℃／ワット
5ピンSOT-23-5：θ_{JA}=240℃／ワット
8ピン・マイクロSOIC：θ_{JA}=200℃／ワット
14ピンSOIC：θ_{JA}=120℃／ワット
14ピンTSSOP：θ_{JA}=180℃／ワット

オーダー・ガイド

モデル	温度範囲	パッケージ説明	パッケージ・オプション
AD8051AR	−40℃ ～ ＋85℃	8ピンSOIC	R-8
AD8051ART	−40℃ ～ ＋85℃	5ピンSOT-23-5	RT-5
AD8052AR	−40℃ ～ ＋85℃	8ピンSOIC	R-8
AD8052ARM	−40℃ ～ ＋85℃	8ピン・マイクロSOIC	RM-08
AD8054AR	−40℃ ～ ＋85℃	14ピンSOIC	R-14
AD8054ARU	−40℃ ～ ＋85℃	14ピン・マイクロSOIC	RU-14

* R＝スモール・アウトライン；RM＝マイクロ・スモール・アウトライン；RT＝表面実装；RU＝TSSOP

最大消費電力

AD8051/AD8052/AD8054が安全に動作できる最大の消費電力は、接合温度の上昇との関連から制限されます。プラスチック封入型デバイスに関する最高安全接合温度は、プラスチックのガラス転移温度によって決定され、約＋150℃です。この限界を一時的に超えると、パッケージからダイに働く応力の変化が原因となってパラメトリック性能がシフトします。長時間にわたって接合温度が＋175℃を超えると、デバイスに障害が生じます。

AD8051/AD8052/AD8054には、短絡保護回路が内蔵されていますが、あらゆる条件で最高接合温度（＋150℃）の超過がもたらされないことを保証するには、それでも充分ではありません。適正な動作を保証するためには、最大電力ディレーティング曲線を観察することが必要です。

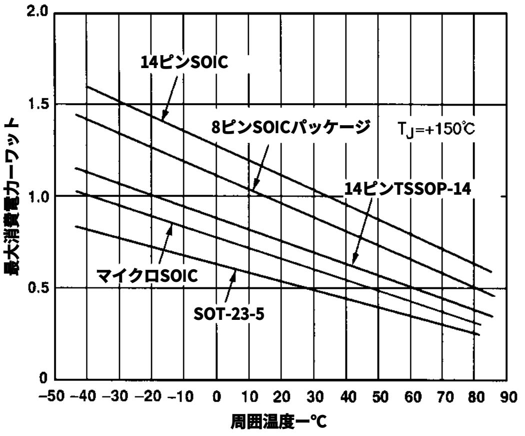


図2.　AD8051/AD8052/AD8054の最大消費電力と温度の関係

注意

ESD（静電放電）の影響を受けやすいデバイスです。4000 Vもの高圧の静電気が人体やテスト装置に容易に帯電し、検知されることなく放電されることもあります。このAD8051/AD8052/AD8054には当社独自のESD保護回路を備えていますが、高エネルギーの静電放電にさらされたデバイスには回復不能な損傷が残ることもあります。したがって、性能低下や機能喪失を避けるために、適切なESD予防措置をとるようお奨めします。

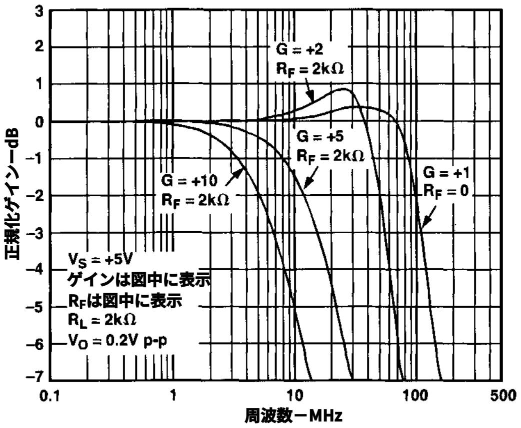


図3．各種クローズループ・ゲインにおけるAD8051/AD8052の周波数応答；V_S＝＋5 V

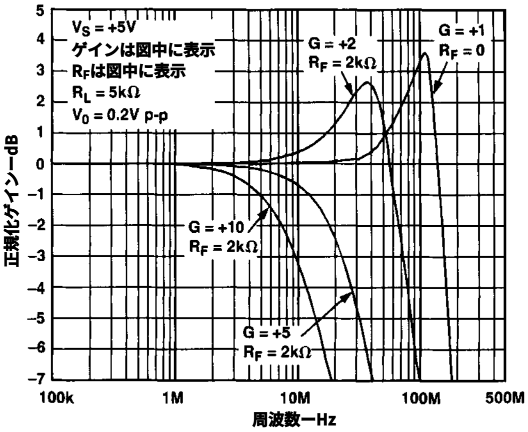


図6．各種クローズループ・ゲインにおけるAD8054の周波数応答；V_S＝＋5 V

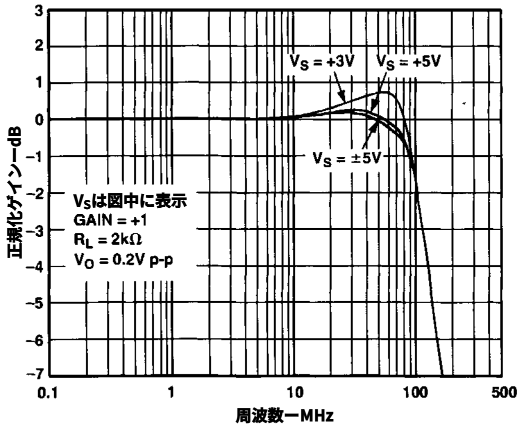


図4．各種電源電圧におけるAD8051/AD8052のクローズループ周波数応答

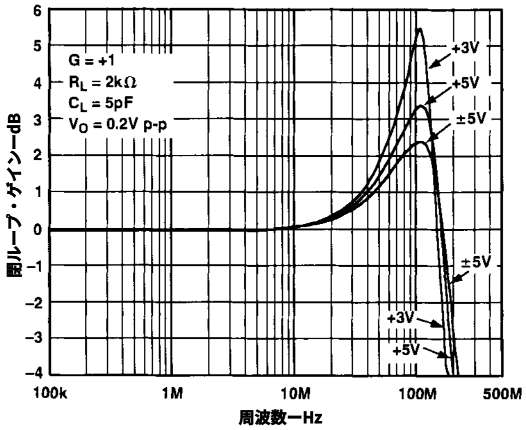


図7．各種電源電圧におけるAD8054のクローズループ周波数応答

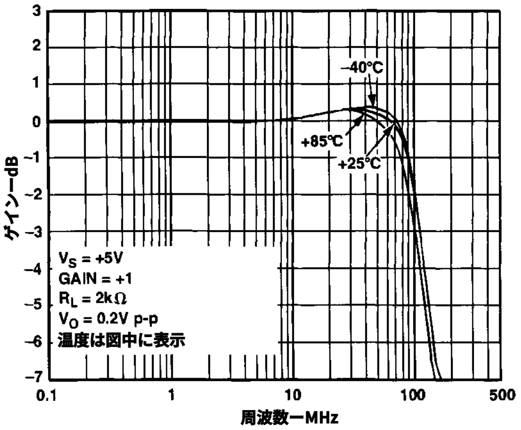


図5．各種温度におけるAD8051/AD8052のクローズループ周波数応答

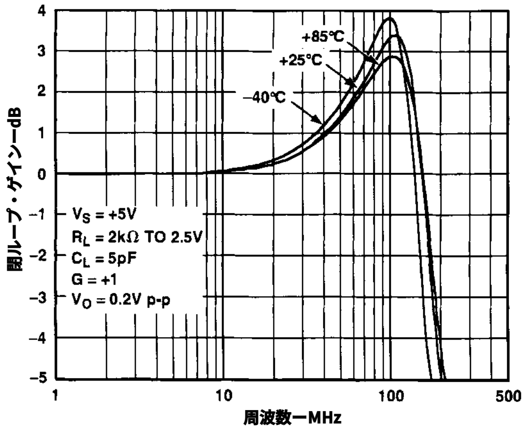


図8．各種温度におけるAD8054のクローズループ周波数応答

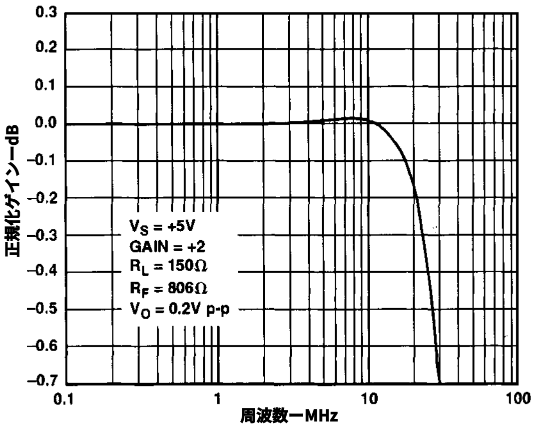


図9.　AD8051/AD8052の0.1 dBゲイン平坦特性；G＝＋2

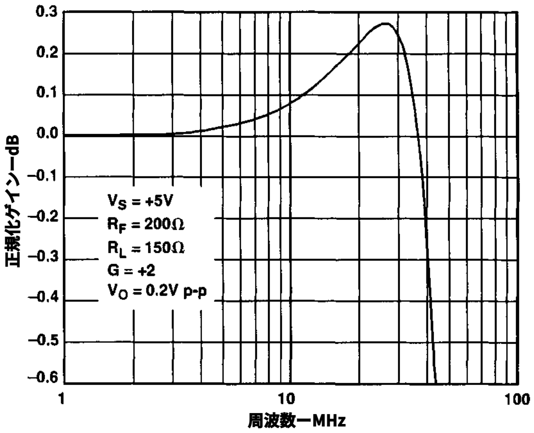


図12.　AD8054の0.1 dBゲイン平坦特性；G＝＋2

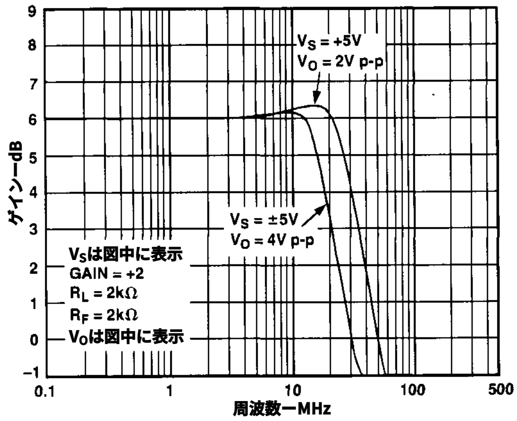


図10.　AD8051/AD8052の大信号周波数応答；G＝＋2

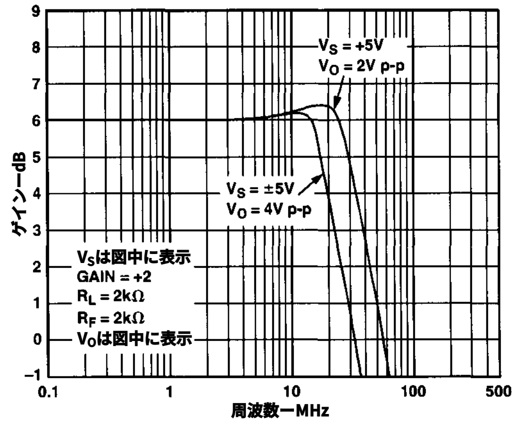


図13.　AD8054の大信号周波数応答；G＝＋2

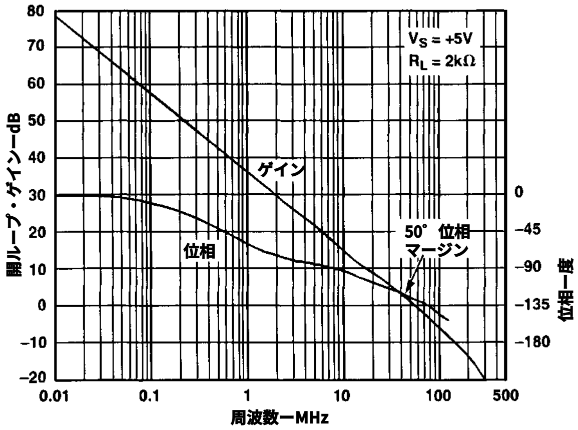


図11.　AD8051/AD8052のオープンループ・ゲインと位相の周波数応答

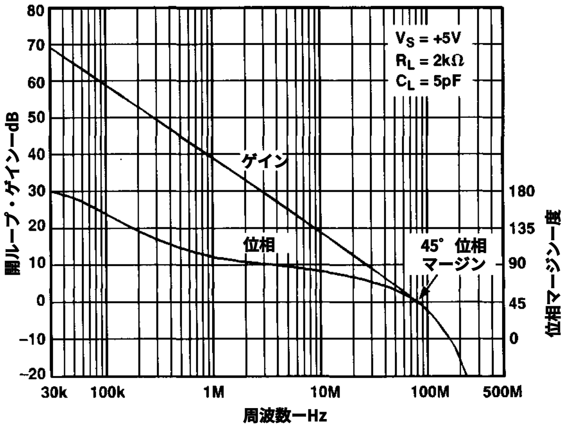


図14.　AD8054のオープンループ・ゲインと位相マージンの周波数応答

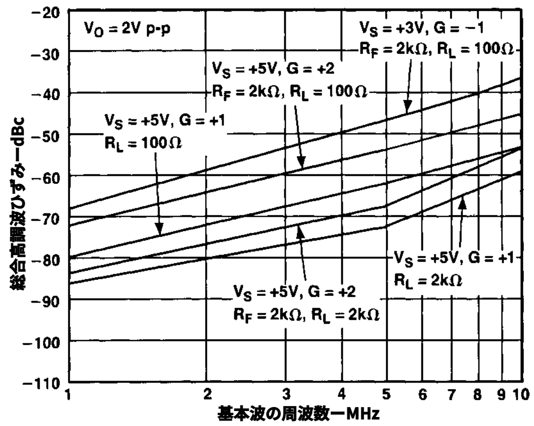


図15．総合高調波ひずみ

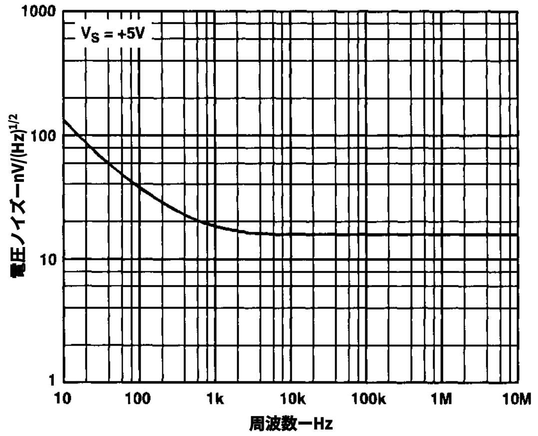


図18．周波数と入力電圧ノイズの関係

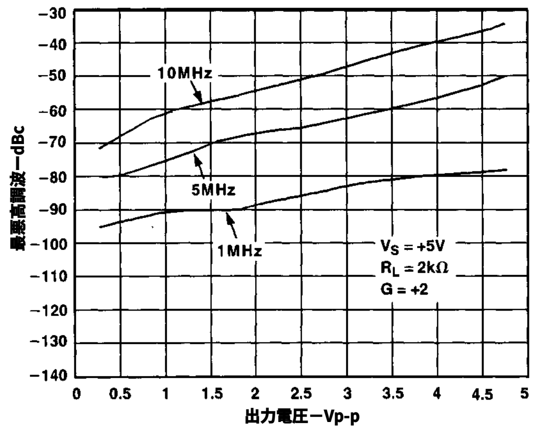


図16．出力電圧と最悪高調波の関係

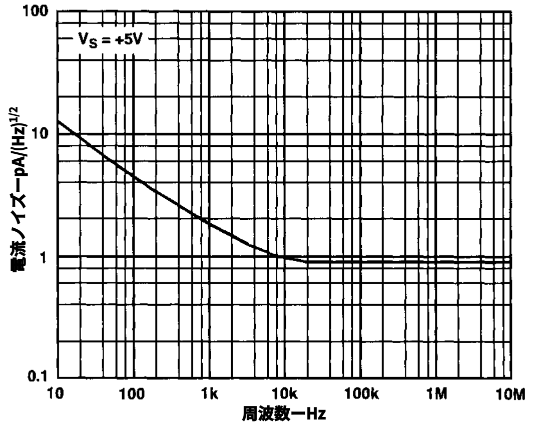


図19．周波数と入力電流ノイズの関係

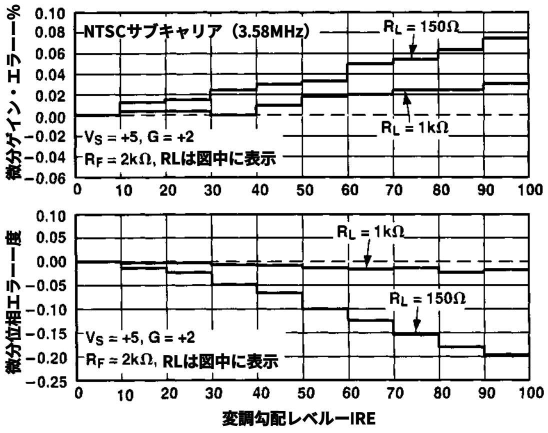


図17．AD8051/AD8052の微分ゲイン・エラーと微分位相エラー

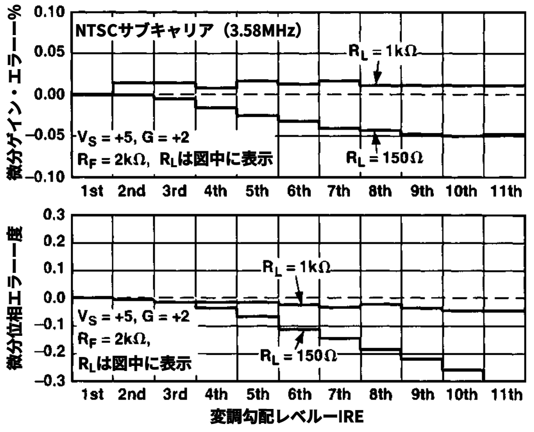


図20．AD8054の微分ゲイン・エラーと微分位相エラー

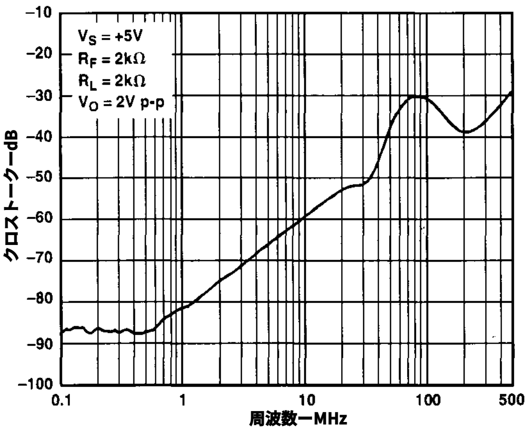


図21.　AD8052の周波数とクロストーク（出力相互間）の関係

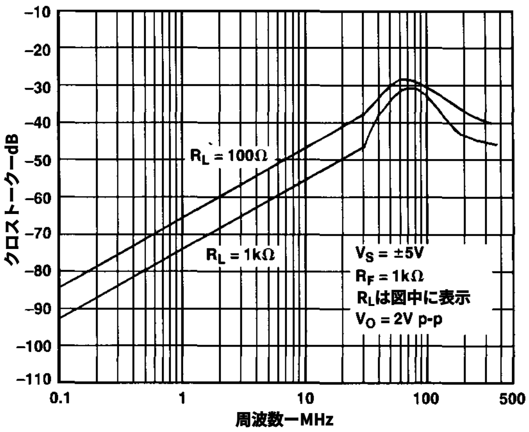


図24．AD8054の周波数とクロストーク（出力相互間）の関係

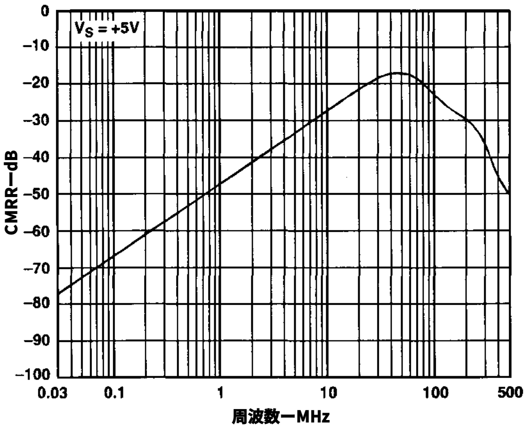


図22．周波数とCMRRの関係

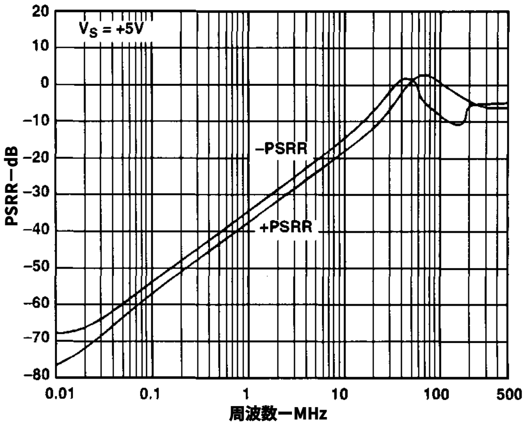


図25．周波数とPSRRの関係

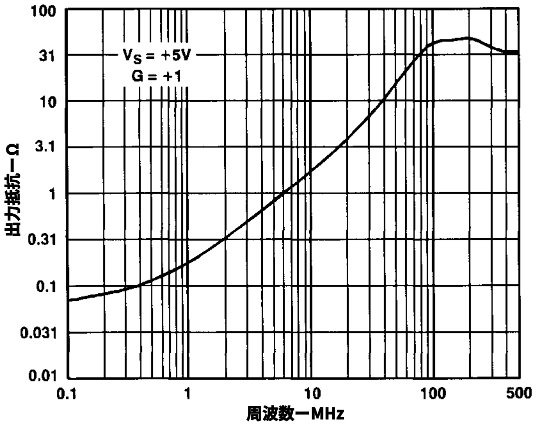


図23．周波数とクローズループ出力抵抗の関係

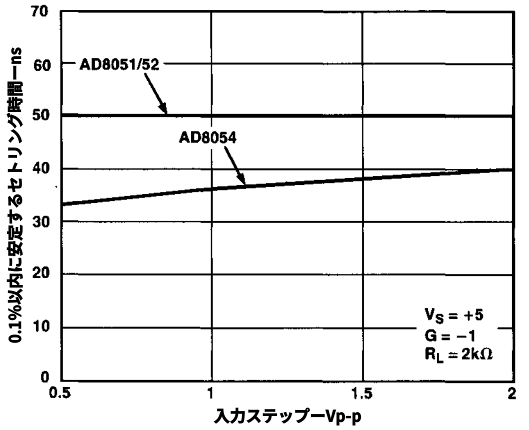


図26．入力ステップとセトリング時間の関係

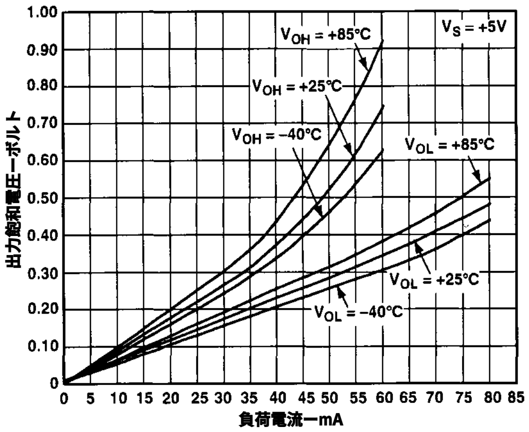


図27．AD8051/AD8052の負荷電流と出力飽和電圧の関係

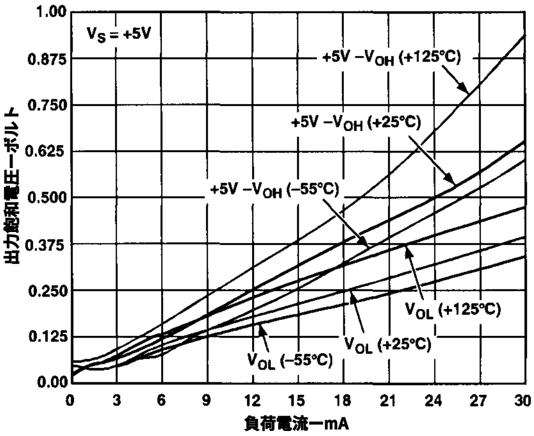


図29．AD8054の負荷電流と出力飽和電圧の関係

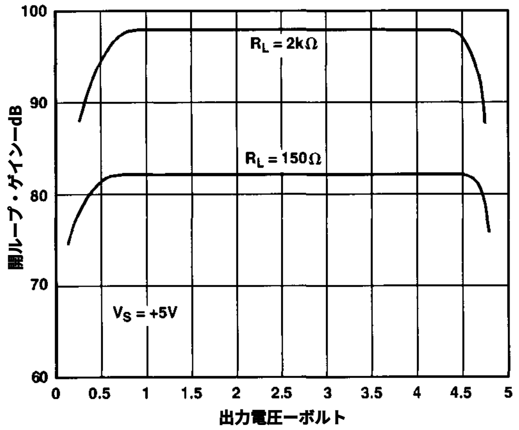


図28．出力電圧とオープンループ・ゲインの関係

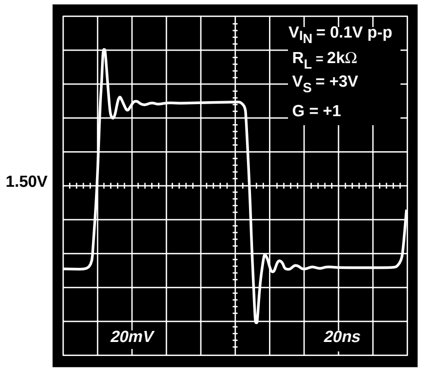


図30．100 mVステップ応答；G＝＋1

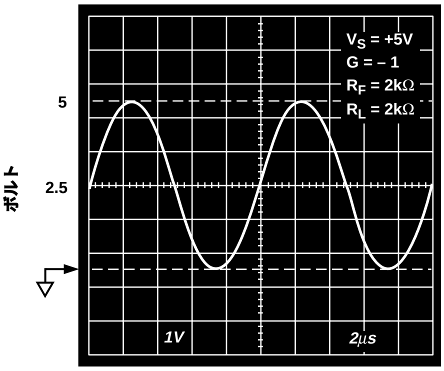


図33．出力スイング；G＝−1，R_L＝＋2 kΩ

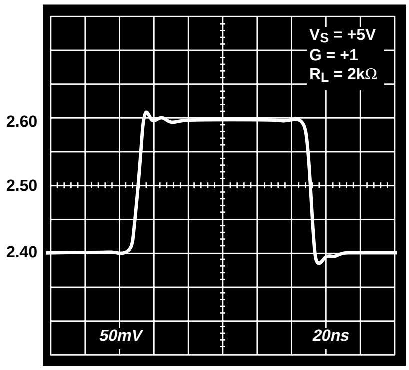


図31．AD8051/AD8052の200 mVステップ応答；V_S＝＋5 V，G＝＋1

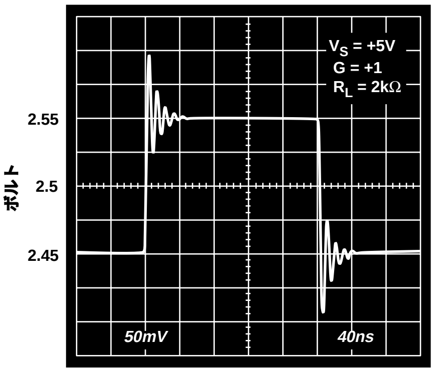


図34．AD8054の100 mVステップ応答；V_S＝＋5 V，G＝＋1

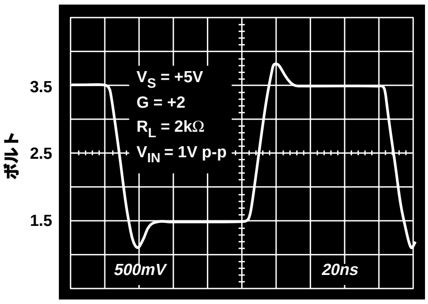


図32．大信号ステップ応答；V_S＝＋5 V，G＝＋2

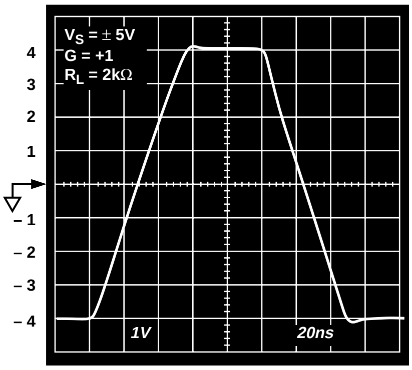


図35．大信号ステップ応答；V_S＝±5 V，G＝＋1

オーバードライブ・リカバリ

アンプのオーバードライブは、出力および／または入力がそれぞれの範囲を超えたときに発生します。アンプは、このオーバードライブ状態から回復できなければなりません。図36に示すように、AD8051/AD8052/AD8054は、負のオーバードライブから60ナノ秒以内に、正のオーバードライブから45ナノ秒以内にそれぞれ回復することができます。

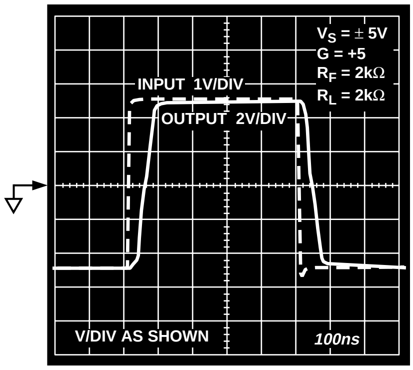


図36. オーバードライブ・リカバリ

容量性負荷ドライブ

AD8051/AD8052に$+V_S$＝5 Vが供給され、50 pFと並列に2 kΩの負荷が接続されて、＋１の閉ループ・ゲインが得られている場合について考察します。図37と図38は、それぞれ周波数と時間を定義域として小信号励起に対する応答を示したものです。AD8051/AD8052/AD8054の容量性負荷ドライブは、値の小さい抵抗をこの負荷と直列に接続することによって増加することができます。図39と図40は、各種の電圧ゲインについて、直列抵抗が容量性ドライブに与える効果を示しています。閉ループ・ゲインを増加させると、それに従って位相マージンが大きくなり、より小さいピーキングでより大きな容量性負荷が許容されるようになります。同じ効果が、低い閉ループ・ゲインで直列抵抗を追加した場合にも得られます。なお、容量性負荷が大きいときは、アンプの周波数特性が直列抵抗と負荷容量のロール・オフによって支配されます。

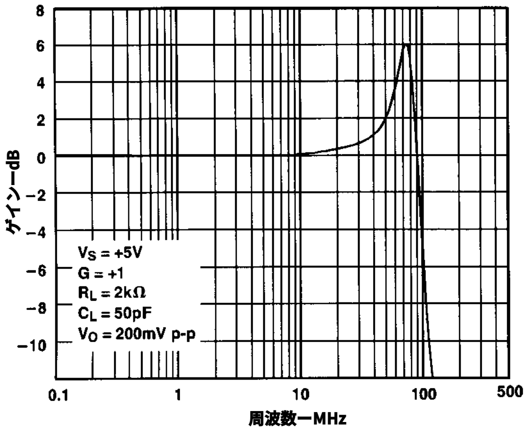


図37. AD8051/AD8052のクローズループ周波数応答：C_L＝50 pF

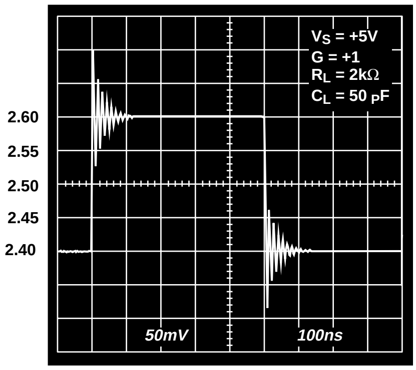


図38. AD8051/AD8052の200 mVステップ応答：C_L＝50 pF

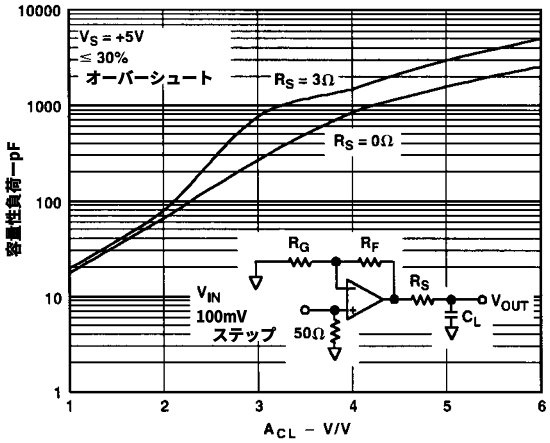


図39. AD8051/AD8052における容量性負荷ドライブとクローズループゲインの関係

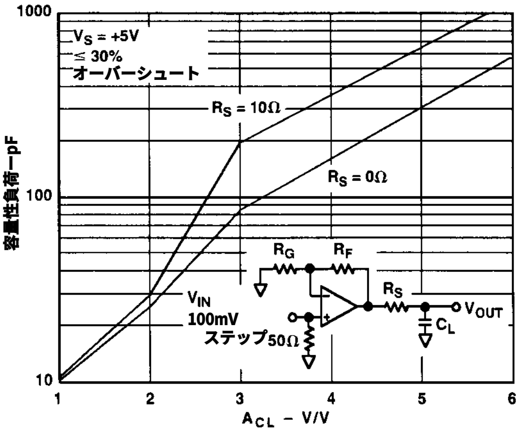


図40. AD8054における容量性負荷ドライブとクローズループゲインの関係

回路の説明

AD8051/AD8052/AD8054は、2 GHzから4 GHzの範囲で類似したf_Tsを持つPNPとNPNのトランジスタ構成を可能にする、アナログ・デバイセズ社独自のeXtra-Fast相補バイポーラ（XFCB）プロセスを用いて製造されています。このプロセスは、接合アイソレーションによって惹き起こされる寄生とラッチ・アップの問題を解決するために誘電的に分離されています。このような特長は、電源電流が小

さく、高周波、低ひずみのアンプ構成を可能にします。この設計では、差分出力入力段を使用して最大の帯域幅とヘッドルームを確保しています（図１を参照してください）。初段の出力（ノードS1P、S1N）の信号スイングをより小さくすることによって、接合容量に起因する非直線性電流の影響が低く抑えられ、ひずみ性能が改善されます。この設計を用いると、5 Vの単電源からV_{OUT}＝2 Vp-p（ゲイン＝＋１）を100Ωに印加するときの1 MHzにおける高調波ひずみとして－80 dBcを達成することができます。

このデバイスの入力は、負のレールを－0.2 V下回る値から正のレールの1 V以内の電圧までを扱うことができます。しかも、これらの値を超えても位相反転を生じません。ただし、入力電圧の超過分が0.5 Vを超えると入力ESDデバイスの導通を招きます。このようなオーバードライブ状態が生じている間、出力はレール電圧に保たれます。

AD8051/AD8052/AD8054のレール to レール出力範囲は、相補型共通エミッタ出力段によってもたらされます。また高出力ドライブ性能は、出力デバイスQ8およびQ36のベースにすべての出力段のプリドライバ電流を直接印加することによって達成されます。Q8とQ36のバイアスには、同相フィードバック・ループ（図示していません）に加えて、I8とI5を使用します。この回路トポロジーによって、電源レールから0.5 Vの範囲の出力電圧で、AD8051/AD8052では45 mAの出力電流を、AD8054では30 mAの出力電流をそれぞれドライブすることができます。

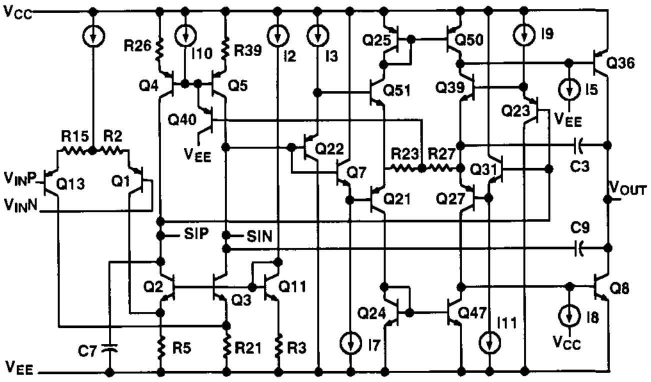


図41．AD8051/AD8052の簡略化した回路

アプリケーション

レイアウトの考察

AD8051/AD8052/AD8054で仕様どおりの高速性能を得るには、ボード・レイアウトとコンポーネントの選択に注意しなければなりません。適正なRF設計テクニックと寄生性の低いコンポーネントを選択する必要があります。

PCBには、ボードのコンポーネント・サイドの未使用部分をすべて覆うグラウンド面を備えて、低いインピーダンス・パスを形成します。入力ピンの近くでは、このグラウンド面を取り除いて寄生容量を除去します。

電源のバイパスにはチップ・キャパシタを使用します。キャパシタの一方の端子はグラウンド面に接続し、他方の端子は各電源ピンから3 mm以内の位置で接続します。高速で大きな信号変化を実現する電流出力を得るためには、これに追加して大容量（4.7 μFから10 μF）のタンタル電解キャパシタを並列に接続しますが、その接続位置は、それほど近づける必要はありません。

フィードバック抵抗は、反転入力ピンに近づけて配置し、このノードでの寄生容量を最小に抑えます。反転入力における寄生容量は、1 pF未満であっても高速性能に大きく影響します。

長い信号トレース（約25ミリを超えるもの）には、ストリップライン設計テクニックを使用する必要があります。これらは、特性インピーダンス50Ωまたは75Ωとなるように設計し、両端を適正に終端します。

アクティブ・フィルタ

高い周波数でアクティブ・フィルタを効果的に動作させるためには、広帯域オペアンプの使用が不可欠です。周波数の低いオペアンプから生じる過剰な位相シフトは、アクティブ・フィルタの性能に重大な影響を及ぼすことがあります。

図42は、AD8054の４つのオペアンプのうち３つのオペアンプ使用して構成した2 MHzのバイクワッド帯域フィルタの一例です。この種の回路は、しばしば医療用の超音波システムにおいて、A/D変換前のアナログ信号のノイズ帯域を下げる目的で使用されます。なお、未使用のアンプ入力は、必ずグラウンドに接続しておいてください。

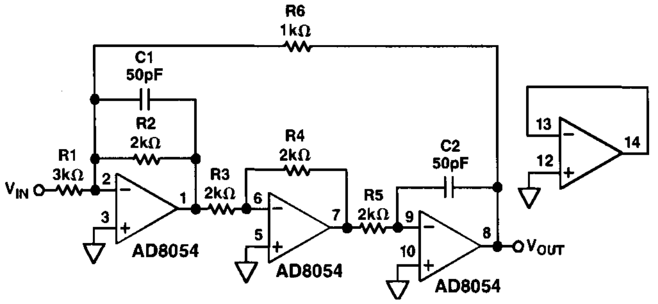


図42．AD8054を使用した2 MHzのバイクワッド帯域フィルタ

この回路の周波数特性を図43に示します。

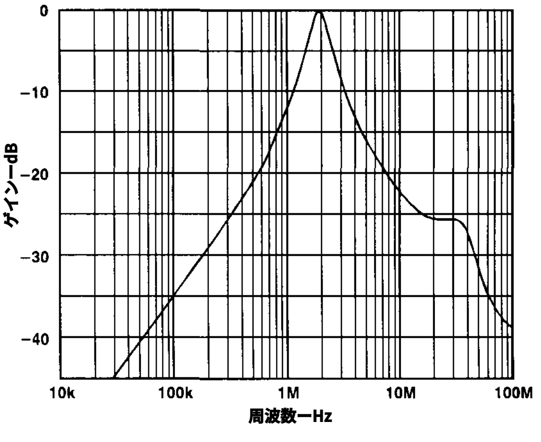


図43．2 MHzのバイクワッド帯域フィルタの周波数特性

A/DアプリケーションとD/Aアプリケーション

図44は、10ビット20 MSPSのデュアルA/DコンバータAD9201用のドライバとしてAD8051を使用した例です。このコンバータは、通信システムのI信号とQ信号を変換するように設計されています。このアプリケーションの場合は、Iチャンネルだけがドライブされます。Iチャンネルは、SELECT（ピン27）にロジック・ハイを印加することによってイネーブルになります。

AD8051は、デュアル電源で動作し、ゲインが＋2になるように構

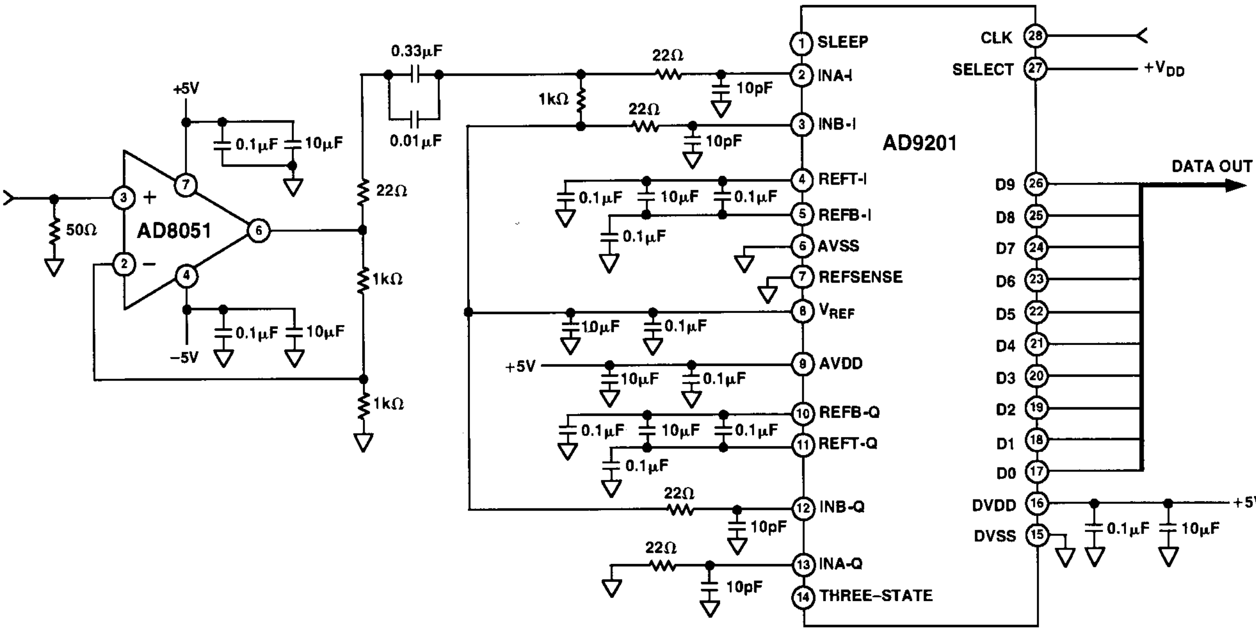


図44．10ビット20 MSPSのA/DコンバータAD9201の駆動にAD8051を用いた場合の回路図

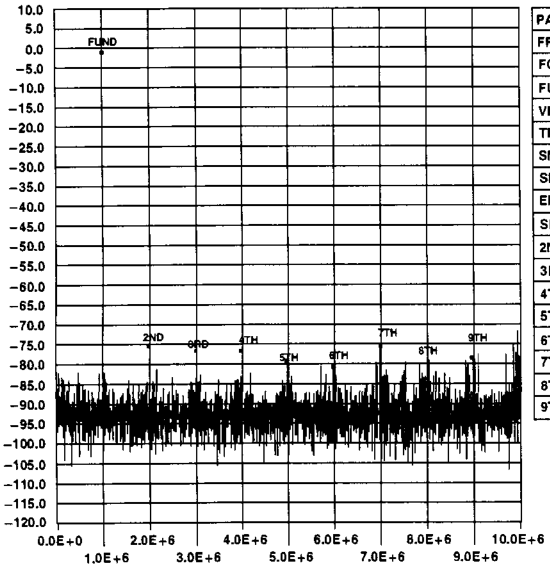
成されます。入力信号は50Ωで終端されて、AD8051の非反転入力に印加されます。このアンプの出力は2 Vp-pですが、これはAD9201の最大入力範囲に一致します。22Ωの直列抵抗は、A/Dに流れる最大電流を制限し、そのひずみを低くするように作用します。

AD9201は、それぞれのチャンネルごとに差分入力があります。これらはA入力、B入力と呼ばれます。各チャンネルのB入力は、2.5 Vの正のリファレンスを供給するをVREF（ピン8）に接続されます。B入力は、それぞれ小さなロー・パス・フィルタを備え、これもひずみの低減に寄与しています。

オペアンプの出力は、高周波でも低周波でも良好な結合がえられるように、２つの並列キャパシタを介してINA-I（ピン2）にAC結合されます。1 kΩの抵抗は、INB-Iに印加されるVREFを信号の基準に設定します。つまりINA-Iは、INB-Iに印加されるバイアス電圧に関して、正側にも負側にもスイングできることになります。

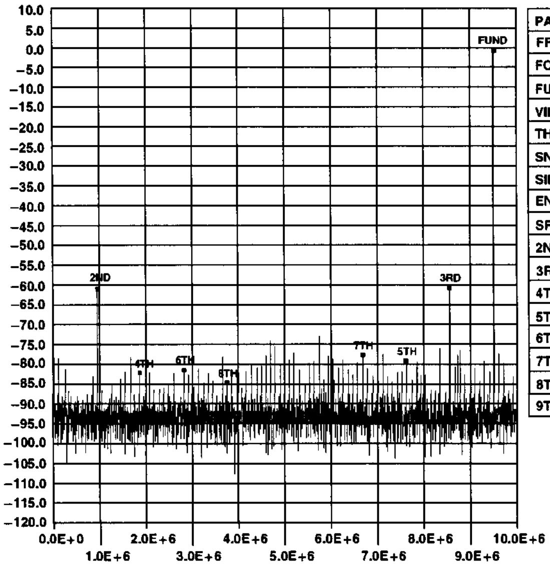
サンプリング・クロックを20 MSPSで動作させて、このA/Dの出力をディジタル・アナライザで分析しました。使用した周波数は1 MHzと9.5 MHzの２つで、ナイキスト周波数にわずかに達しない周波数です。これらの信号は、良好にフィルタリングされてあらゆる高調波が最小とることがわかりました。

図45は、1 MHzのアナログ入力を使用した場合のこのA/DのFFT特性を示しています。SFDRは71.66 dBで、このA/Dから8.8 ENOB（有効ビット数）が得られます。アナログ周波数を9.5 MHzに上昇すると、図46に示されるようにSFDRが60.18 dBまで下がり、A/Dは8.46 ENOBで動作するようになります。このように、この回路にAD8051を用いることは、AD9201のひずみ性能に決して悪い結果をもたらすものではありません。



PART#	0
FFTSIZE	8192
FCLK	20.0E+6
FUND	998.5E+3
VIN	−0.51dB
THD	−68.13
SNR	54.97
SINAD	54.76
ENOB	8.80
SFDR	−71.66
2ND	−74.53
3RD	−76.06
4TH	−76.35
5TH	−79.05
6TH	−80.36
7TH	−75.08
8TH	−88.12
9TH	−77.87

図45．AD9201を1 MHzでドライブするAD8051のFFT特性



PART#	0
FFTSIZE	8192
FCLK	20.0E+6
FUND	9.5E+6
VIN	−0.44dB
THD	−57.08
SNR	54.65
SINAD	52.69
ENOB	8.46
SFDR	−60.18
2ND	−60.18
3RD	−60.23
4TH	−82.01
5TH	−78.83
6TH	−81.28
7TH	−77.28
8TH	−84.54
9TH	−92.78

図46．AD9201を9.5 MHzでドライブするAD8051のFFT特性

同期ストリッパ

同期パルスは、同期情報の搬送に個別のチャンネルを使用する代りとして、しばしばビデオ信号に乗せて搬送されます。しかしながら、A/D変換等のある種の機能にとっては、ビデオ信号に同期パルスが重畳されていることが好ましくありません。これらのパルスは、この種の機能に有用な情報をまったく提供しないだけでなく、ビデオ信号のダイナミック・レンジを下げるという不利益をもたらします。

同期ストリッパは、ビデオ信号から同期パルスを除去し、有用なビデオ情報だけを通過させます。図47に、AD8051だけで構成した実用的な単電源回路を示します。この回路は、逆終端ビデオ・ラインを直接ドライブすることができます。

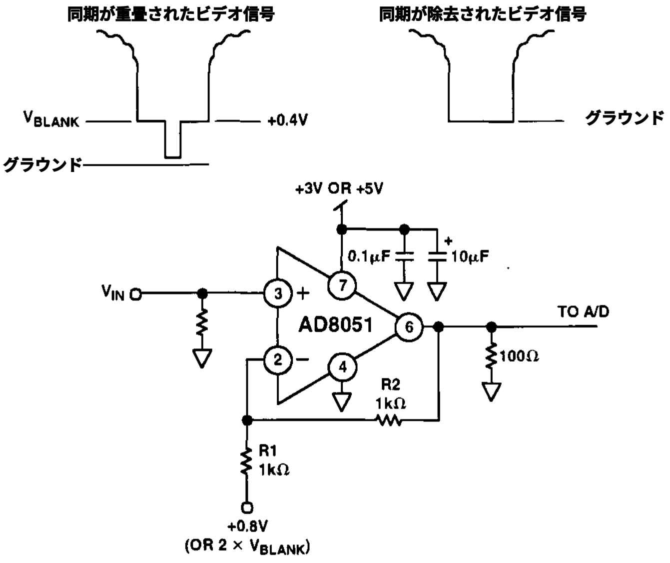


図47．同期ストリッパ

同期信号が重畳されたビデオ信号は、適切に終端されて非反転入力に印加されます。アンプのゲインは、フィードバック回路内に２つの1 kΩ抵抗を挿入して「２」に設定します。バイアス電圧は、入力信号からの同期信号の除去が適切なレベルで行われるようにR1に印加しなければなりません。

入力ビデオ・パルスの帰線消去レベルは、同期情報の除去に望ましいレベルとします。このレベルは、このアンプによって２倍に引き上げられます。引き上げられたレベルが出力においてグランドに一致していなければ、同期除去作用が働きません。R1の入力から出力までのアンプのゲインが－１であることから、2×V_{BLANK}に等しい電圧を印加し、帰線消去レベルをグラウンドに一致させせます。

単電源コンポジット・ビデオ・ライン・ドライバ

多くのコンポジット・ビデオ信号は、帰線消去レベルがグラウンドに等しく、正負両方のビデオ情報を持っています。この種の信号は、それを通過させるためにデュアル電源アンプを必要とします。しかし、交流レベルをシフトすれば、単電源アンプでもこれらの信号を通過させることが可能です。ところが、この種のテクニックからは、次に示すような複雑な問題が持ち上がります。

ピーク － ピーク振幅が制限され、デューティ・サイクルで変化する信号は、それがAC結合された後の（制限された）ピーク － ピーク振幅信号よりも高い動的スイング性能を必要とします。最悪のケースでは、この動的信号スイングは、ピーク － ピーク値の２倍に達します。最大の動的スイングが求められる状況は２つあります。一方は、ほとんどの期間で信号がローになり、小数点以下の小さなパーセンテージのデューティ・サイクルでそれがハイになる状況です。他方はこの逆の状況で、逆方向の極値が必要になります。

コンポジットビデオの最悪ケースは、かなりこの状況に近いものです。一方の限界条件は、フレーム全体にわたってほとんど黒レベルで、少なくとも１フレームに１回は、最小の幅の白レベル（最大振幅）のスパイクが現れる信号の存在です。

他方の限界条件は、ほとんどが白レベルとなるビデオ信号によってもたらされます。帰線消去期間と、負に向かう偏位のあるこの種の信号の同期ティップは、コンポジット・ビデオ仕様に従ったものです。水平帰線消去と垂直帰線消去の期間では、この種の信号の最高（白）レベルがその期間の約75 %を超えないように制限されます。

つまり、上記の２つの極端なケースの間でコンポジット・ビデオ信号のデューティ・サイクルが任意に変化することから、ゲイン２が乗じられる1 Vp-pのコンポジット・ビデオ信号の場合であれば、オペアンプの出力において約3.2 Vp-pの動的電圧スイングがないと、ひずみをもたらすことなくこの信号を通過させることができないという結論が導かれます。

ある種の回路では、同期ティップ・クランプを使用して同期チップを比較的一定のレベルに維持することによって、必要な動的信号スイングの大きさを低く押さえています。しかしながら、こういった回路は、非常に出力インピーダンスが低いソースからドライブしない限り、同期ティップ圧縮等のアーティファクトを残す結果となります。AD8051/AD8052/AD8054を用いれば、AC結合したコンポジット・ビデオ信号の処理に適した信号スイングが＋5 Vの単電源で得られます。

図48に示す回路に対する入力は、帰線消去レベルがグラウンドに等しい標準コンポジット（1 Vp-p）ビデオ信号です。入力回路は、AC結合手段によりこのビデオ信号をレベル・シフトします。このオペアンプの非反転入力は、電源電圧の1/2にバイアスされています。

フィードバック回路は、入力をDCバイアスするための均一なゲインを提供し、ビデオ帯域内のすべての信号に対するゲインを２に設定します。出力は、AC結合された後に終端され、ラインをドライブします。

キャパシタの値は、「ティルト」つまりビデオ信号のフィールド時間ひずみを最小に抑えるように選択されています。これらの値は、スタジオ品質あるいは放送品質のビデオの要求を満たすものです。しかしながら、これより低い一般消費者グレードのビデオ、しばしば "コンシューマ・ビデオ" と呼ばれますが、それだけを対象とする場合には、キャパシタの精度を下げ、コストを最大で1/5に抑えても、目に付く画像のひずみを最小に抑えることができます。

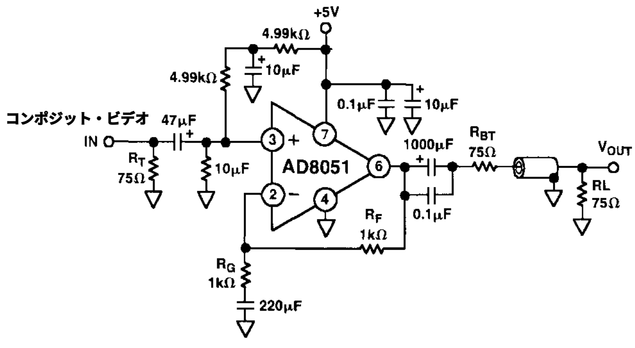
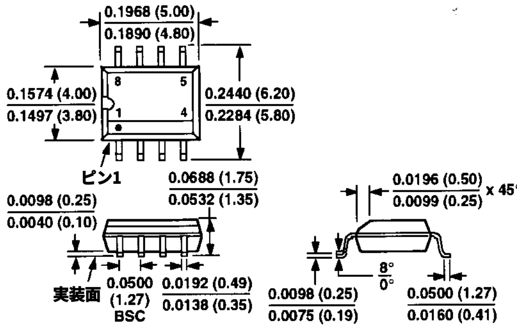


図48．単電源コンポジット・ビデオ・ライン・ドライバ

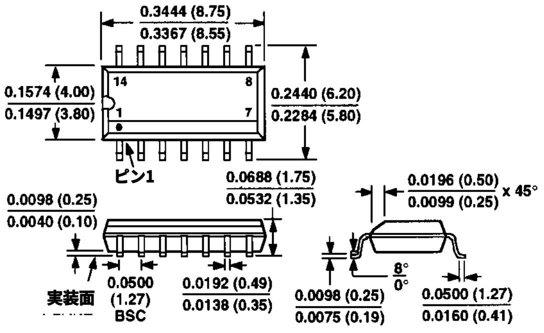
外形寸法

サイズはインチと（mm）で示します。

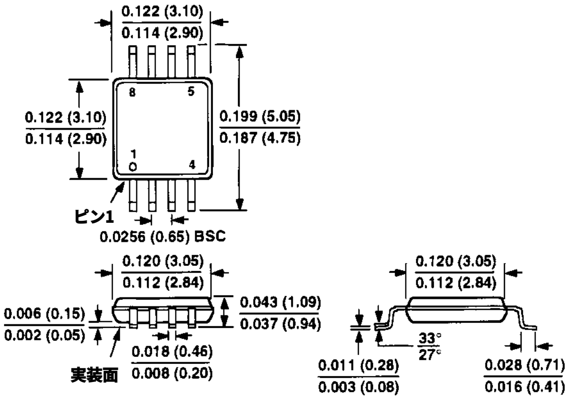
8ピンSOIC
（R-8）



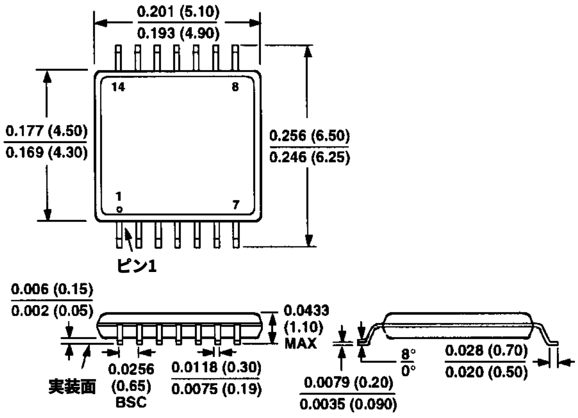
14ピンSOIC
（R-14）



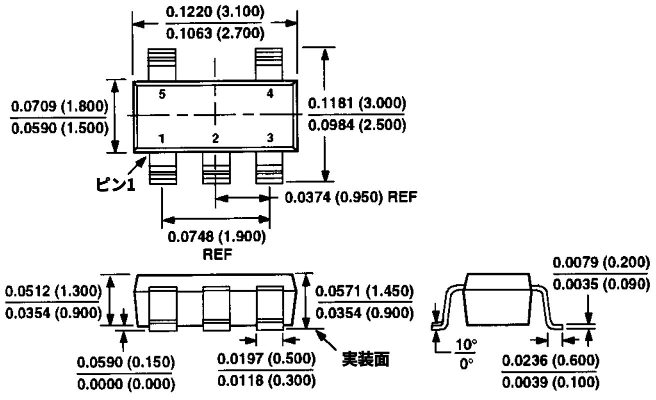
8ピン・マイクロSOIC
（RM-08）



14ピンTSSOP
（RU-14）



5ピン・プラスチック表面実装
（RT-5）



D767-2.7-4/99,1A

PRINTED IN JAPAN